

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

RÉPUBLIQUE FRANÇAISE

INSTITUT NATIONAL
DE LA PROPRIÉTÉ INDUSTRIELLE

PARIS

(11) N° de publication :

2 296 311

(A n'utiliser que pour les
commandes de reproduction).

A1.

DEMANDE DE BREVET D'INVENTION

(21)

N° 75 36058

(54) Dispositif logique câblé CMOS.

(51) Classification internationale (Int. Cl.): H 03 K 19/08, 5/12.

(22) Date de dépôt 19 novembre 1975, à 10 h 26 mn.

(33) (32) (31) Priorité revendiquée : Demande de brevet déposée aux Etats-Unis d'Amérique le 24 décembre 1974, n. 536.060 au nom de Algirdas J. Gruodis.

(41) Date de la mise à la disposition du public de la demande B.O.P.I. — «Listes» n. 30 du 23-7-1976.

(71) Déposant : Société dite : INTERNATIONAL BUSINESS MACHINES CORPORATION, résidant aux Etats-Unis d'Amérique.

(72) Invention de : Algirdas J. Gruodis.

(73) Titulaire : *Idem* (71)

(74) Mandataire : Gérard Gallois, Département de Propriété Industrielle IBM.

La présente invention concerne le domaine des circuits logiques câblés, et en particulier les circuits logiques construits selon la technologie CMOS.

Comme on le sait, la technologie CMOS est la technologie de fabrication des circuits ayant des transistors MOS de canal p et de canal n sur le même bloc intégré. Les circuits intégrés de cette nature ont des avantages se rapportant au coût de fabrication, à la densité de compression des circuits et à la dissipation de puissance au repos négligeable.

Les circuits logiques CMOS se composent classiquement d'un ensemble de transistors MOS du même type de conductivité connectés en parallèle entre eux et en série avec un transistor MOS de type de conductivité opposé, les transistors en parallèle ayant leurs portes reliées aux entrées logiques, et la connexion de noeud entre les transistors en série et en parallèle servant de sortie logique. Classiquement, les niveaux logiques sont définis comme zéro et $+V_{DD}$. Puisque chaque noeud dans un circuit intégré CMOS a une capacité, la vitesse du circuit dépend du temps qu'il prend pour charger ou décharger la capacité de noeuds entre les deux niveaux de tension logiques.

Un objet de la présente invention est de fournir un circuit logique câblé CMOS ayant des transitions de sortie rapide.

Un circuit est ajouté en série aux transistors qui forment les entrées d'un circuit logique câblé. Le circuit ajouté comprend un premier transistor sensible à une petite variation de tension dans une première direction au noeud de sortie du circuit logique, un deuxième transistor pour fournir un courant supplémentaire pour ou à partir du noeud de sortie et une charge en série avec le premier transistor. Lorsque la tension de noeud change dans ledit premier sens, le premier transistor modifie son état de conduction. Ceci fait que le deuxième transistor devient conducteur fourni de ce fait un circuit de courant au noeud. Ce circuit de courant fait que la tension de noeud varie rapidement dans ladite première direction.

Les figures 1 et 2 sont des représentations schématiques des circuits logiques câblés à transistors CMOS de l'art antérieur.

La figure 3 est une représentation schématique des circuits d'une réalisation préférée de la présente invention.

La figure 4 est une représentation schématique des circuits d'une deuxième réalisation préférée de la présente invention.

La figure 1 montre un circuit logique CMOS simple classique comprenant des transistors MOS à canal n d'entrée parallèle 10a à 10n, un transistor de charge connecté en série à canal p 12, des entrées logiques A à N, et une sortie logique V_0 . Les deux tensions de niveaux logiques sont supposées être zéro et $+V_{DD}$.

Si $+V_{DD}$ est considéré comme un 1 binaire, et zéro volt considéré comme 0

binaire, le circuit est un NI logique câblé, c'est-à-dire que toute entrée 1 binaire fournit une sortie 0 binaire.

La porte du transistor MOS 12 est à la masse de sorte que ce transistor est toujours à un état conducteur. Supposons, comme condition initiale, qu'une ou plusieurs des entrées logiques est à $+V_{DD}$. Par exemple, supposons que l'entrée A est à V_{DD} . Le transistor 10a est en service, et V_0 est pratiquement à la masse. On note que pour que V_0 soit pratiquement à la tension de la masse, le diviseur de tension se composant des transistors 12 et 10a doit être tel qu'il fasse que pratiquement toute la tension de charge, $+V_{DD}$, soit aux bornes du transistor 12. Ceci peut être accompli en faisant la résistance de fonctionnement du transistor 12 beaucoup plus grande que la résistance de fonctionnement de tous les transistors 10a à 10n.

Si toutes les entrées logiques chutent à zéro volts, tous les transistors d'entrée 10a à 10n seront non-conducteurs et la sortie V_0 montera à $+V_{DD}$. La montée de V_0 est provoquée par le courant provenant de $+V_{DD}$ à travers le transistor 12 chargeant la capacité de noeud au noeud de sortie 14. Cependant puisque la résistance de fonctionnement du transistor 12 est relativement importante, la transition de $V_0 = 0$ à $V_0 = +V_{DD}$ est relativement lente.

Une situation comparable existe pour le circuit "NON ET" câblé de la figure 2. Les niveaux logiques sont de nouveau supposés être zéro et $+V_{DD}$ volts. Les entrées logiques A à n sont connectés aux portes des transistors MOS de canal p 16a à 16n, respectivement. Un transistor de charge MOS de canal n 18 est fourni et la sortie V_0 apparaît au noeud de circuit 20. Si toutes les entrées logiques sont des 1 binaires (c'est-à-dire $+V_{DD}$) la sortie est 25 un zéro binaire (c'est-à-dire zéro volts). Toute autre combinaison des entrées fait que V_0 est un 1 binaire.

On suppose que la logique d'entrée est telle que A est un 0 binaire et que toutes les autres entrées sont à 1 binaire. La tension $+V_{DD}$ aux portes de 16b à 16n rend ces transistors non-conducteurs. L'entrée de tension zéro à la porte de 16a rend 16a conducteur. Le transistor 18 est également à l'état conducteur. Afin que V_0 soit pratiquement égal à $+V_{DD}$ sous les conditions établies, la résistance du transistor 18 doit être beaucoup plus grande que celle de tous les transistors 16a à 16n.

Lorsque la combinaison d'entrées logiques change, de sorte que toutes les entrées sont à $+V_{DD}$, le noeud de sortie 20 se décharge à la masse par l'intermédiaire du transistor 18. Cependant, du fait de la résistance relativement importante du transistor 18 en fonctionnement, le temps de transition de la sortie de $+V_{DD}$ à zéro volt est relativement long.

Avant de poursuivre avec une explication de l'ensemble de circuits logiques améliorés, on devra noter que la combinaison logique exacte réalisée par les

transistors d'entrée parallèles n'est pas limitée aux agencements montrés dans les figures 1 et 2. Comme cela sera évident, l'une quelconque ou plusieurs des dérivations d'entrée parallèles peuvent avoir un ou plusieurs transistors d'entrée connectés en série. La combinaison d'entrée exacte ne change ni le problème énoncé ci-dessus, ni la solution décrite ci-dessous. La combinaison peut être définie de manière générale comme une combinaison de transistors MOS d'un type de conductivité donné, agencés pour fournir un circuit de conduction entre un terminal d'alimentation de tension et un noeud de sortie pour une première combinaison d'entrées logiques et pour fournir un circuit ouvert pour toutes les autres combinaisons logiques des entrées logiques. On notera que la dernière définition comprend l'hypothèse que la masse et $+V_{DD}$ sont définis chacune comme des bornes d'alimentation de tension.

Le circuit de la figure 3 correspond à celui de la figure 1 avec l'addition de l'ensemble de circuits qui augmente la vitesse de commutation de sortie.

15 Les nombres identiques dans les deux figures correspondent aux mêmes éléments. L'ensemble des circuits supplémentaires comprend un premier transistor 24 qui change d'états de conduction en réponse à la tension au noeud de sortie 14 changeant d'une petite quantité dans une première direction, un deuxième transistor 26 qui répond au changement d'état du transistor 24 en fournissant 20 un circuit de conduction entre une borne d'alimentation et le noeud 14, et une charge qui est de préférence un troisième transistor 22, mais qui peut être une résistance.

On suppose une combinaison d'entrées logiques qui se traduit par le fait qu'un ou plusieurs des circuits parallèles, 10a à 10n, est conducteur. Le 25 noeud 14 sera pratiquement à la tension de la masse. Le transistor MOS à canal n 24 sera à l'état non-conducteur, le transistor MOS à canal p 22, sera à l'état conducteur, et la porte du transistor MOS à canal p 26 sera à $+V_{DD}$. Ce dernier transistor sera mis hors service.

On suppose maintenant que la combinaison logique d'entrée change de sorte 30 que chaque circuit 10a à 10n soit non-conducteur. Le noeud 14 commence à se charger lentement vers $+V_{DD}$ par l'intermédiaire du transistor 12. Cependant, lorsque le noeud 14 atteindra V_T , la tension de seuil du transistor 24, il y aura un chargement rapide du noeud 14 à $+V_{DD}$ du fait du fonctionnement du circuit suivant. Le transistor 24 devient conducteur réduisant de ce fait 35 la tension de porte du transistor 26 à une valeur suffisante pour rendre conducteur le transistor 26. Le courant s'écoule de la borne d'alimentation de $+V_{DD}$ dans le noeud 14 via le transistor conducteur 26. Ce dernier transistor peut être fabriqué de manière à avoir une faible résistance de fonctionnement.

En conséquence, le circuit logique de la figure 3 fournit une transition de 40 sortie beaucoup plus rapide de $V_O = 0$ à $V_O = +V_{DD}$ que le circuit logique de

la figure 1.

On notera qu'une résistance peut être utilisée à la place du transistor 22. Cependant, le transistor 22 est préférable car il bloque le courant pour qu'il ne s'écoule pas dans le circuit de 22, 24, lorsque V_0 est stable à $+V_{DD}$.

5. La transition de $V_0 = +V_{DD}$ à $V_0 = 0$ n'est pas un problème car les transistors d'entrée 10a à 10n ont de petites résistances de fonctionnement.

Le circuit logique de la figure 4 est essentiellement le même que le circuit logique de la figure 2 auquel est adjoint l'ensemble de circuits additionnel pour décharger rapidement le noeud 20 lorsque la combinaison logique 10 des entrées rend tous les circuits 16a à 16n non-conducteurs. L'ensemble de circuits supplémentaires comprend un premier transistor 28 qui change son état de conduction en réponse à un changement de tension dans une première direction au noeud de sortie 20, un second transistor 32 qui répond à un changement d'état du transistor 28 en fournissant un circuit de conduction entre une borne de 15 tension d'alimentation (masse) et le noeud de sortie 20, et un élément de charge 30, de préférence un transistor MOS.

Le fonctionnement de la figure 4 peut être compris en supposant initialement que la combinaison logique des entrées est telle qu'un ou plusieurs des circuits parallèles 16a à 16n sont conducteurs. Un circuit de conduction entre 20 la borne d'alimentation de tension $+V_{DD}$ et la borne d'alimentation de tension à la masse est réalisé par celui ou ceux des circuits conducteurs 16a à 16n et le transistor conducteur 18. Du fait de la résistance de fonctionnement relativement importante du transistor 18, V_0 sera approximativement égal à $+V_{DD}$. Le transistor MOS à canal p 28 sera dans un état non conducteur, le 25 transistor MOS à canal n 30 sera dans un état conducteur, et la tension à la porte du transistor MOS à canal n 32 sera au potentiel de la masse. Le transistor 32 sera non conducteur.

En supposant maintenant que la combinaison logique d'entrée passe à celle qui rend chaque circuit 16a à 16n non conducteur, le noeud 20 commence à se décharger lentement, par l'intermédiaire du transistor 18, à la masse. Lorsque le noeud 20 se décharge à $V_{DD} - V_T$, V_T étant la tension de seuil du transistor 28, Ce dernier transistor conduit, provoquant la montée de la tension de porte au transistor 32. Le transistor 32 devient conducteur et fournit un circuit pour la décharge rapide du noeud 20. Ainsi, le noeud 20 se décharge à un rythme lent de $+V_{DD}$ à $V_{DD} - V_T$, mais après cela il se décharge rapidement au potentiel de la masse.

Le transistor 30 est préféré à une simple résistance en tant qu'élément de charge, car ce dernier transistor empêche la consommation de courant lorsque V_0 est à zéro volt.

Bien que l'on ait décrit dans ce qui précède et représenté sur le dessin, les caractéristiques essentielles de l'invention appliquées à un mode de réalisation préféré de celle-ci, il est évident que l'homme de l'art peut y apporter toutes modifications de forme ou de détail qu'il juge utiles, sans pour autant sortir du cadre de ladite invention.

Revendications

1.- Circuit logique à transistors CMOS caractérisé en ce qu'il comprend:

- a) un ensemble de bornes d'entrée logique adaptées pour recevoir des tensions logiques à deux valeurs d'un premier et d'un deuxième niveau de tension;
- 5 b) une borne de sortie logique;
- c) des première et deuxième borne de tension adaptées pour être connectées aux bornes d'une source d'alimentation;
- d) un ensemble de circuits en parallèle connectés entre lesdites bornes de sortie logiques et ladite première borne de tension, lesdits circuits en
- 10 parallèle comprenant des circuits sensibles auxdites tensions logiques à deux valeurs sur lesdites bornes d'entrée logiques pour commander de manière sélective la conduction et non-conduction desdits circuits en parallèle;
- e) un élément de circuit normalement conducteur connecté entre ladite sortie logique et ladite deuxième borne de tension; et
- 15 f) un circuit sensible à une petite variation de tension à ladite borne de sortie logique dans la direction de la tension à ladite deuxième borne de tension, pour faire varier rapidement la tension à ladite borne de sortie logique dans ladite dernière direction mentionnée, ledit circuit étant connecté entre ladite borne de sortie logique et ladite deuxième borne d'alimentation
- 20 de tension.

2.- Circuit selon la revendication 1 caractérisé en ce que ledit circuit pour faire varier rapidement la tension à ladite borne de sortie logique comprend:

- a) un premier transistor MOS ayant des bornes de source, de drain et
- 25 de porte et un niveau de tension de seuil de mise en service, V_T ;
- b) un élément de charge, ledit élément de charge étant connecté entre une desdites bornes source-drain dudit premier transistor MOS et ladite deuxième borne de tension, l'autre borne source-drain étant connectée à ladite première borne de tension;
- 30 c) ladite borne de porte étant connectée à ladite sortie logique, de sorte qu'une variation de tension à ladite sortie logique d'un premier niveau de tension, substantiellement égal à la tension à ladite première borne de tension, à un second niveau de tension qui diffère du premier de V_T dans une direction de la tension à ladite deuxième borne, fait que ledit premier
- 35 transistor MOS devient conducteur;
- d) un deuxième transistor MOS d'un type de canal opposé à celui dudit premier transistor MOS, ledit deuxième transistor MOS ayant des électrodes

de source et de drain connectées, respectivement, à ladite sortie logique et à ladite deuxième borne de tension; et

e) ledit deuxième transistor MOS ayant une borne de porte connectée à la jonction dudit premier transistor et dudit élément de charge, de sorte que

5 ledit deuxième transistor est non conducteur lorsque ledit premier transistor est non conducteur, et est rendu conducteur lorsque ledit premier transistor est conducteur pour fournir un circuit de courant de résistance faible entre ladite deuxième borne de tension et ladite borne de sortie logique, ce qui se traduit par le fait que la tension à ladite borne de sortie logique varie

10 rapidement jusqu'à une tension finale实质上 égale à la tension à ladite deuxième borne de tension.

3.- Circuit selon la revendication 2 caractérisé en ce que lesdites première et deuxième bornes sont adaptées pour être alimentées avec des tensions différentant de V_{DD} , où ladite deuxième borne est à $+V_{DD}$ au-dessus de ladite première borne, et dans lequel la sortie logique varie entre les valeurs des tensions auxdites première et deuxième bornes de tension, ledit premier transistor MOS étant un transistor MOS à canal n et ledit deuxième transistor MOS étant un transistor MOS à canal p, de sorte que ledit premier transistor devient conducteur lorsque la tension à ladite sortie logique devient supérieure

15 de V_T à la tension à ladite première borne de tension.

20

4.- Circuit selon la revendication 2 ou 3 caractérisé en ce que ledit élément de charge est un transistor MOS à canal p ayant ses bornes source-drain connectées entre ladite deuxième borne de tension et une borne source-drain dudit premier transistor, et ayant la borne de porte connectée à ladite

25 borne de sortie logique.

5.- Circuit selon la revendication 2 caractérisé en ce que lesdites première et deuxième bornes sont adaptées pour être alimentées avec des tensions différentant de V_{DD} , où ladite première borne est à $+V_{DD}$ au-dessus de ladite deuxième borne, et dans lequel ladite sortie logique varie entre les valeurs

30 des tensions auxdites première et deuxième bornes de tension, ledit premier transistor MOS étant un transistor MOS à canal p et ledit deuxième transistor MOS étant un transistor MOS à canal n, de sorte que ledit premier transistor devient conducteur lorsque la tension à ladite sortie logique devient inférieure de V_T à la tension à ladite première borne de tension.

6.- Circuit selon la revendication 2 ou 5 caractérisé en ce que ledit élément de charge est un transistor MOS à canal n ayant ses bornes source-drain connectées entre ladite deuxième borne de tension et une borne source-drain dudit premier transistor et ayant la borne de porte connectée à ladite 5 borne de sortie logique.

FIG. 1
ART. ANTERIEUR

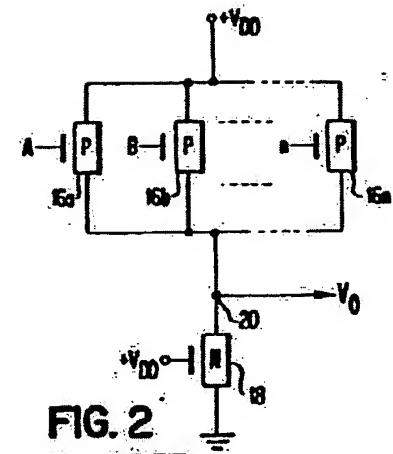
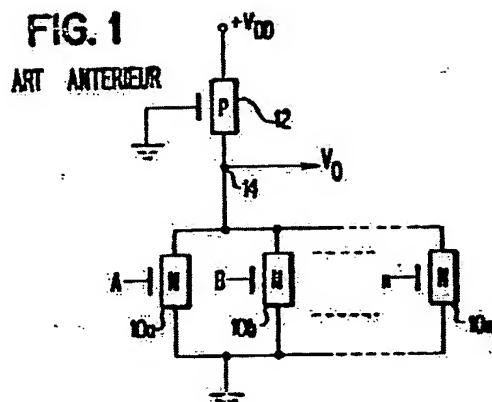


FIG. 2
ART. ANTERIEUR

FIG. 3

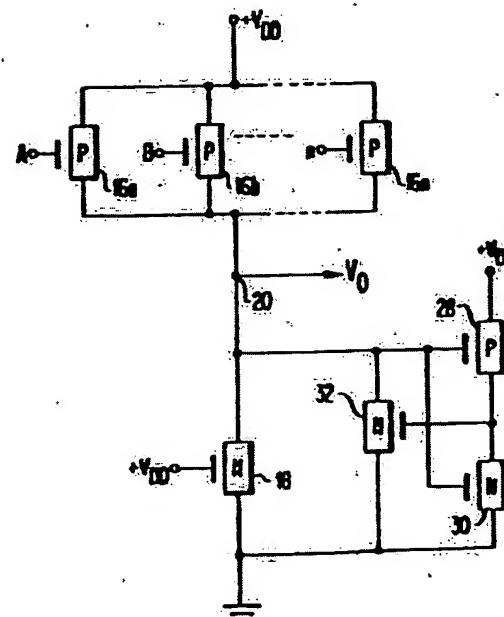
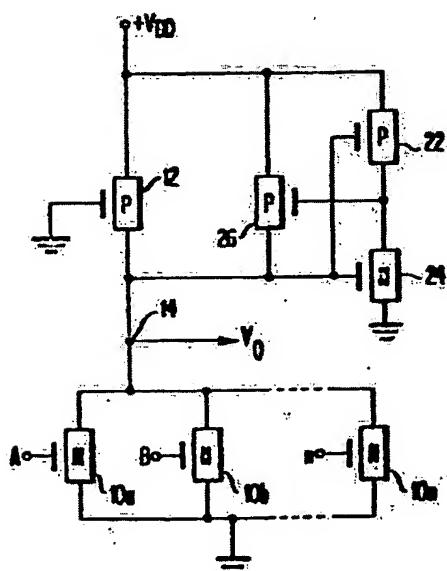


FIG. 4